

[Home](#) [About sipo](#) [News](#) [Law&policy](#) [Special topic](#)[SITE SEARCH](#)

Optimized execution of statically strongly predicted branch instructions

Application Number	00808872	Application Date	2000.05.01
Publication Number	1359488	Publication Date	2002.07.17
Priority Information	US09/3046001999/5/3		
International Classification	G06F9/38		
Applicant(s) Name	Intel Corp		
Address			
Inventor(s) Name	T.-Y. Yeh;M.A. Poplingher;M. Rahman		
Patent Agency Code	72001	Patent Agent	wu limeng
Abstract			

A microprocessor is disclosed. The microprocessor includes a branch prediction table that has at least one branch entry. The at least one branch entry includes a prediction field to indicate whether a branch is predicted taken. The at least one branch entry also includes a history register that stores history information. Moreover, the branch prediction table includes a prediction update logic that updates the prediction field and the history register except when a branch is strongly predicted statically.

[Machine Translation](#)[Close](#)[SITE MAP](#) | [CONTACT US](#) | [PRODUCTS&SERVICES](#) | [RELATED LINKS](#)

Copyright © 2008 SIPO. All Rights Reserved

[12] 发明专利申请公开说明书

[21] 申请号 00809872.7

[43] 公开日 2002 年 7 月 17 日

[11]公开号 CN 1359488A

[22] 申请日 2000.5.1 [21] 申请号 00809872.7

[30] 优先权

[32] 1999.5.3 [33] US [31] 09/304600

[86] 国际申请 PCT/US00/11789 2000.5.1

[87] 国际公布 WO00/67116 英 2000.11.9

[85]进入国家阶段日期 2001.12.30

[71] 申请人 英特尔公司

地址 美国加利福尼亚州

[72]发明人 T·Y·耶 M·A·波普林赫
M·拉曼

[74] 专利代理机构 中国专利代理(香港)有限公司

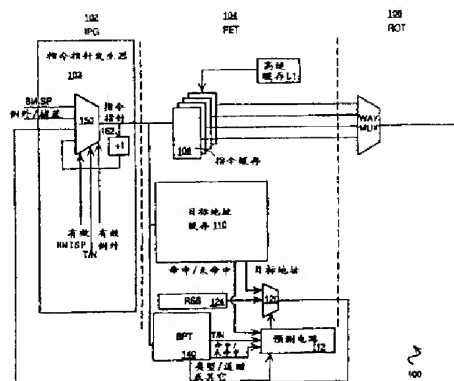
代理人 吴立明 王忠忠

权利要求书 3 页 说明书 10 页 附图页数 3 页

[54]发明名称 强静态预测分支指令的优化执行

[57]摘要

公开一个微处理器。该微处理器包括一个具有至少一个分支条目的分支预测表(BPT)。分支条目包括一个预测字段,表明一个分支是否被预测为采纳。分支条目还包括一个存储历史信息的历史寄存器。而且,分支预测表包括一个预测更新逻辑,除非当一个分支为强静态预测时,更新预测字段和历史寄存器。



ISSN 1008-4274

权 利 要 求 书

1. 一种微处理器，包括：

一个分支预测表，分支预测表包括：

5 至少一个分支条目，包括一个用来表示一个分支是否被预测为采纳的预测字段，和一个用来存储历史寄存器信息的历史寄存器，和一个预测更新逻辑，用来更新上述的预测字段和历史寄存器，除非当一个分支为强静态预测的。

10 2. 权利要求 1 的微处理器，进一步包括一个具有一个第一字段的编译器提示，当该字段被确认时，表示一个分支是强静态预测的。

3. 权利要求 2 的微处理器，编译器提示进一步包括一个第二字段，当被确认时，表示一个分支被预测为采纳。

4. 权利要求 1 的微处理器，进一步包括一个与上述预测更新逻辑相连的模式历史表。

15 5. 权利要求 2 的微处理器，所述的至少一个分支条目包括一个强预测/无条件字段，表示一个分支是否是一个强预测分支和一个无条件分支。

6. 权利要求 5 的微处理器，所述强预测/无条件字段 242 连接到所述的编译器提示分支的第一字段。

20 7. 权利要求 1 的微处理器，所述预测字段连接到上述编译器提示的第二字段。

8. 权利要求 1 的微处理器，所述至少一个分支条目包括一个有效字段，表示所述分支条目是否有效。

25 9. 权利要求 1 的微处理器，所述至少一个分支条目包括一个表示该分支是否属于 CALL、RETURN 和一般类型。

10. 权利要求 9 的微处理器，当所述分支被确认为强预测采纳，并且既不是 CALL 类型也不是 RETURN 类型时，更新目标地址高速缓存。

30 11. 权利要求 10 的微处理器，当上述分支被确定为强预测采纳并属于 CALL 类型时，更新上述的分支预测表和一个目标地址缓存，历史寄存器被初始化为一个采纳类型，该预测和 SP/U 字段被确认。

12. 权利要求 10 的微处理器，当上述分支被确定为强预测采纳并属于 RETURN 类型时，更新上述的分支预测表，历史寄存器被初始化为

一个采纳类型，该预测和 SP/U 字段被确认，而不更新 TAC。

13. 权利要求 1 的微处理器，当上述分支被预测为动态采纳时，更新分支预测表和目标地址缓存（TAC），解除对 SP/U 字段的确认，历史寄存器被初始化为一个采纳类型。

5 14. 权利要求 1 的微处理器，当上述分支被预测为动态不采纳时，更新分支预测表和目标地址缓存（TAC），解除对 SP/U 字段的确认，历史寄存器被初始化为一个不采纳类型。

15. 在微处理器中，一种分配一个分支的方法，该方法包括：
通过检查一个编译器提示，确定一个分支是强预测采纳；和
10 如果该分支为强预测采纳并属于 CALL 类型，则
更新一个分支预测表（BPT）和目标地址缓存（TAC），
初始化一个历史寄存器为采纳类型，和
确认一个预测字段和一个强预测/无条件（SP/U）字段。

16. 权利要求 15 的方法，进一步包括，当上述分支为强预测采纳
15 并属于一个 RETURN 类型时，
更新分支预测表；
初始化一个历史寄存器为采纳类型，和
确认一个预测字段和一个强预测/无条件（SP/U）字段。

17. 权利要求 15 的方法，当上述分支被确定为强预测采纳并且既
20 不属于一个 CALL 类型也不属于一个 RETURN 类型时，进一步更新 TAC。

18. 权利要求 15 的方法，当上述分支为动态预测采纳时，更新分支预测表 and TAC；

解除对 SP/U 字段的确认，初始化一个历史寄存器为采纳。

19. 权利要求 15 的方法，进一步包括，如果上述分支为动态预测
25 不采纳，

更新分支预测表和 TAC；
初始化一个历史寄存器为不采纳，和
解除对 SP/U 字段的确认。

20. 一个微处理器，包括：

30 一个编译器提示记录，包括一个第一字段，表示一个分支是否是强预测，和一个第二字段，表示一个分支是否被预测为采纳；和一个分支预测表，包括，

一个预测更新逻辑;

至少一个分支条目, 包括一个预测字段, 表示一个分支是否被预测为采纳, 和一个存储历史信息的历史纪录, 和

一个预测更新逻辑, 除非当一个分支被强静态预测时, 用来更新预测字段和历史寄存器。

5

说明书

强静态预测分支指令的优化执行

5 发明背景

I. 发明领域

本发明涉及微处理器的领域。特别是，本发明涉及微处理器的分支预测。

10 II. 背景信息

计算机程序通常包括大量的分支指令，使得在执行中，指令不是按照在程序存储器中排列的顺序执行。当执行了一个分支指令时，或者继续执行存储器中的下一条指令，或者跳转到一条由分支目标地址指定的指令。如果程序运行调转到分支目标地址指定的分支，则认为一个由分支指令指定的分支被“采纳”，如果继续执行存储器中的下一条顺序指令，则认为“不采纳”。

分支指令是无条件的或是有条件的。一条无条件的分支指令在每次执行时都会被采纳。一条有条件的指令是否被采纳，取决于条件的判断结果，通常是一个逻辑语句的结果。在判断分支所依靠的条件之前，一个条件分支后面将要执行的指令是未知的。但是，在条件判断之前，当前技术水平的微处理器能够进行分支预测，由此微处理器试图猜测分支是被采纳或不被采纳，这样可以取得并推测执行随后的指令。如果预测分支是不被采纳的，微处理器获取并推测执行存储器中该分支后面的一条指令。如果预测分支是被采纳的，那么微处理器取得并推测执行预测的分支目标地址上的指令。分支预测之后执行的指令是“推测的”，因为当前微处理器还不知道预测正确与否。相应地，任何将由推测的指令执行的操作可能不会完整地进行。例如，如果推测执行一个存储器写操作，在前面所有的分支条件被成功执行之前，写操作可能不会被发送到存储器。否则一条错误预测的路径中的指令可能对存储器进行不正常的修改。

如果分支预测最后被确定是正确的，那么已被推测执行的指令被肯定，否则就是被错误执行。在存储器写的例子中，通过发送写操作

到存储器系统来肯定并结束该指令的执行。如果最终发现分支预测是错误的，那么跟随错误分支后的任何推测执行的指令通常被从系统中冲洗掉。在存储器写的例子中，写操作不是被送到存储器系统，而是被废弃。

5 为了加速分支预测，一些当前技术水平的微处理器包括一个分支预测表（BPT），提供一个大多数的最近预测分支和相应的预测信息的高速缓冲存储器，这些信息包括如以前运行历史，也被称为是动态历史寄存器，和/或分支及其成效的预测信息。

10 除了动态分支历史寄存器，预测机理还利用了编译器提示来辅助分支预测。通常，利用运行一个具有几个样本数据集的程序所需的程序轮廓来确定编译器提示。根据编译器提示，可以知道一个分支是否可能被采纳，和某一个分支如何被采纳或不被采纳。这一信息可能被编码到一个指令中。但是，为了从指令中发现该信息，需要从指令高速缓存中读取并解码该指令。问题是一条指令在流程的后面被解码。

15 所以直到流程的几个阶段之后，才能得到指令中的编码信息。

发明概述

20 本发明的一个实施方案包括一个微处理器。微处理器包括一个分支预测表（BPT），具有至少一个分支条目。分支条目包括一个预测字段，表示该分支是否被预测采纳。至少一个分支条目还包括一个历史寄存器，存储历史信息。而且，BPT 包括一个预测更新逻辑，来更新预测字段和历史寄存器，除非一个分支是强静态预测的。

附图说明

25 从后面的详细描述、附加的权利要求和附图中，可以更明确地了解本发明的特征、状况和优点，附图中：

图 1 是依照本发明的一个微处理器的简化实施方案的模块图；

图 2 是依照本发明的一个具有一个记录的分支预测表，和其它形式的分支预测表的模块图；

30 图 3 为一个与依照本发明的分配一个分支的方法的实施方案相关的流程图。

发明详述

在下面的描述中，阐明了大量的特定细节，提供一个对本发明的透彻理解。但是，应该理解，本领域的一般技术人员可以在没有这些特定细节的前提下实施本发明。为了避免混淆，在有些例子中，对一些众所周知的电路、结构和技术没有进行说明。

5 本发明的一个实施方案包括一个微处理器。该微处理器具有一个分支预测表（BPT），该表具有至少一个分支条目。分支条目包括一个预测字段，表示该分支是否被预测采纳。至少一个分支条目还包括一个历史寄存器，存储历史信息。BPT 还进一步包括一个预测更新逻辑，来更新预测字段和历史寄存器，除非一个分支是静态预测的。

10 微处理器进一步包括一个编译器提示寄存器，具有一个第一字段，当该字段被确认时，表示分支为静态强预测的。编译器提示寄存器还包括一个第二字段，该字段被确认时表示预测一个分支是否被采纳。至少一个分支条目进一步包括一个字段（后面被称为“强预测/无条件”（SP/U）字段）。如果发现一个分支是无条件的，SP/U 字段被置“1”，
15 也可以在一个插入到分支条目中的条件分支具有强预测编译器提示时，将 SP/U 字段置“1”。当被确认时，SP/U 字段表示一个分支是强预测的或表示一个分支是无条件分支。

20 预测字段与编译器提示寄存器的第二字段和预测更新逻辑相连接。预测字段可以从编译器提示或从一个采用预测更新逻辑的动态分支预测器接收表示一个分支是否被预测采纳的信息。当 SP/U 被确认时，被设置为防止更新历史寄存器，或者历史寄存器和预测字段都被禁止更新。确认 SP/U 字段的结果是禁止动态预测器更改编译器预测，或既禁止更改编译器预测也禁止更改历史信息。

25 已经发现如果使用编译器提示通常减少了错误预测。本发明的微处理器的实施方案在编译器非常肯定一个分支结果，即强预测分支时，允许表示一个分支是否是强预测的编译器提示寄存器不去理会在芯片上实现的动态预测算法。根据上面的描述和 BPT 种的 SP/U 字段，采用一个分配算法可以提高预测精度。此外，由于解码要占用指令一个较长的时间，所以通过在 BPT 中存储编译器预测信息，可以提早获得该
30 信息，而不是在分支解码之后才能得到。因此，本发明的微处理器的实施方案允许确定是使用本地芯片内的动态预测，还是在指令解码之前在用编译器静态提示来替代本地芯片内的动态预测。

图 1 用模块图的形式说明依照本发明的一个微处理器 100 的简化实施方案。微处理器 100 包括多个流程阶段，对其中的流程阶段 102、104 和 106 进行了说明。流程阶段 102，也被称为是指令指针发生的流程阶段，产生指向指令高速缓存 108 中的一条指令的指令指针。在下一个流程阶段 104 中，即取指令流程阶段中，根据前面的流程阶段中产生的指令指针从指令高速缓存 108 中取得一条指令。在接下来一个流程阶段中，即循环流程阶段 106 中，取出一条指令并将其解码。如果没有本发明的装置和方法，当一条指令在循环流程阶段 106 中被解码之前，编译器预测提示是不能用的。在依照本发明的微处理器的实施方案中，如果在分支分支预测表（BPT）140 中分配了分支，则可以在取指令流程阶段 104 中使编译器预测提示有效。

BPT140 提供了一个高速缓存，存储大多数近期预测的分支以及相应的预测信息，如该分支及其成效的以前的运行和/或预测的一个简要历史寄存器。例如，BPT140 的一个分支条目可以包含一个预测字段（没有显示），表示一个分支是否应该被采纳。此外，BPT 的一个分支条目包括一个分支类型字段，表示一个分支是否是一个调用、返回、顺序分支等。微处理器 100 有一个指令指针发生器（IPG）103，产生一个指令指针（IP）。该 IP 为 BPT140 和存储指令的指令高速缓存（IC）108 指定一条新指令。在多种管道化微处理器的实现中，BPT140 可以利用一个在指令指针中提供的标识值来存取，IC108 利用相应的标识值识别其中的高速缓存线路。

除了为 BPT140 和 IC108 提供指令指针外，IPG103 还为目标地址高速缓存（TAC）110 提供指令指针。TAC110 包括目标指令的地址，其中一个分支可能被采纳。如果一个分支被确定采纳，TAC110 传送一个目标指令的地址，即目标地址给 IPG103。通过 TAC110 传送给 IPG103 的目标地址被解码，然后被用作一个常规的指令指针，用来 IC108 获取一个相应的目标指令。这样，一个可能包含 IC108 的取指令单元重新开始从新的目标地址获取指令。在本发明的一个实施方案中，BPT140 和 TAC110 可以被组合到一个结构中，其中 BPT 的每一个记录还包含该分支的一个目标地址。

微处理器 110 还包括一个预测电路 112、一个返回堆栈缓冲器（RSB）124 和一个连接到 TAC110、RSB123 和预测电路 112 的选择装

置 120。预测电路 112 具有一个输入端口，由此连接到 TAC110，从中接收一个 HIT/MISS 信号。预测电路 112 的第二个输入端口被连接到 BPT140，从中接收关于一个分支是被采纳还是不被采纳的信息。这一信息被存储到上面讨论的一个 BPT 记录的预测字段中。预测电路 112 还有一个第三输入端口，连接到 BPT140，从中接收关于在 BPT 中是否有一个选中或失误的信息。而且，电路 112 还有一个连接到 BPT140 的第四端口，从中接收关于分支类型的信息。分支类型表明一个分支是返回类型，还是其它与返回类型不同的类型，如调用或一般类型。

基于输入端口接收到的信息，预测电路为选择装置 120 产生一个控制（选择）信号。根据该信号的逻辑状态，选择装置 120 选择一个由 TAC110 和 RSB124 提供的目标地址。例如，在 BPT140 和 TAC110 中选中一个分支，该分支被预测为采纳的且不是一个返回类型。预测电路为选择装置 120 产生一个选择信号，导致从 TAC110 中选择目标地址。选择装置 120 为 IPG103 的选择装置 150 的输入端口提供目标地址。

选择装置 150 具有连接到增量器 152 的另一个端口，将指令指针增加一个预定的值，如“1”。增加的指针被送回到选择装置 150，在需要取得下一个顺序指令时，被用作一个新的指令指针。而且，选择装置 150 还有两个输入端口，接收 EXCEPTION TRAP（例外捕获）和 BRANCH MISPREDICTION（BMISP）（分支错误预测）信号。

选择装置 150 还有多个接收多个选择信号的选择输入端口。其中一选择信号是来自于 BPT140 的采纳/不采纳（T/N）信号。其它的信号包括一个“位于”流程远处的流程阶段中的有效例外信号（VALID EXCEPTION）和一个有效分支错误预测信号（VALID BMISP）。选择装置 150 可以根据一个方案划分输入的指令地址信号的优先顺序，其中（1）赋予从微处理器后端传送来的指令地址信号 EXCEPTION/TRAP 最高的优先权；（2）第二优先权赋予也是从微处理器后端传送来的分支错误预测（BMISP）指令地址信号；（3）第三优先权赋予从选择装置 120 传送到选择装置 150 的一个目标指令地址信号；和（4）第四优先权赋予由增加器 150 产生的增加的指令指针信号。根据这一优先级方案，如果选择信号 VALID BMISP 和 VALID EXCEPTION 不是被确认的，而且分支被预测为采纳的，那么选择装置 150 在一个输出端口选择从选择装置 120 接收到的目标地址。

一个预测算法按照下面的方式控制预测。当 BPT140 表示一个失误，TAC110 表示一个选中时，一个分支被预测为采纳，由选择装置 120 选择 TAC110 中的目标地址，送给指令指针发生器 103。如果有一个 BPT 失误和一个 TAC 失误，那么可以确定没有分支条目。指令指针发生器 103 增加当前的指针，将增加的当前指针送回给选择装置 150。如果 BPT 中有一个命中而 TAC 中有一个失误，而且 BPT 表示指令为 RETURN 类型，则预测电路 112 向选择装置 120 发送一个选择信号，从 RSB124 中选择一个相应的返回地址。但是，如果 BPT140 和 TAC110 中都有一个命中，而且分支被预测为采纳的，那么预测电路 112 从 TAC 中产生一个将被选择装置 120 选择的目标地址。

在 BPT140 和 TAC110 中都有一个命中，但分支被预测为不采纳的情况下，通过根据增加后的指针产生一个新的指针，微处理器继续获取高速缓存 108 中的下一条顺序指令。当 BPT140 中有一个命中，而 TAC 中有一个失误，并且指令是一般类型时，可以在指令解码后根据指令计算目标地址。

这里描述的本发明的微处理器实施方案中，编译器配置为将“编译器提示”解码到一个两位的预测信息的指令中。根据一个分支被预测为采纳和不采纳的可能性，设置这两个用于解码编译器提示的位。这两个位解码四种不同的分支预测类型的可能性：可能不被采纳、可能被采纳、强不采纳和强采纳的预测。在下面的描述中，强采纳和强不采纳的分支分别被称为“静态采纳”和“静态不采纳”分支，因为多半是采用编译器提供的静态提示预测分支。可能被采纳和可能不被采纳的分支分别被称为“动态采纳”和“动态不采纳”，因为多半是使用一个动态预测器来预测。在下面的描述中，交替使用“静态”和“强烈”、“动态”和“可能”来说明。

编译器使用通过样本数据集和分支结果统计集运行的程序的程序轮廓来确定一个“采纳率”。“采纳率”可以从 0 到百分之百。当“采纳率”介于 0 和其一个百分数“X”之间时，如 10% 左右，该分支很可能是“不被采纳的”，上述的两个位将预测解码为“静态不采纳”。当“采纳率”介于约 10% 和某个百分数“Y”时，如 50% 左右，预测可能为“动态不采纳”。当“采纳率”介于约 50% 和某个百分数“Z”时，如 90% 左右，预测可能为“动态采纳”。当“采纳率”介于“Z”

和 100 % 时，预测很可能为“静态采纳”。

百分数 X、Y 和 Z 是基于与微处理器中实现的动态分支预测器的精度的比较来建立的。例如，一个动态分支预测器通常有 90 % 的预测精度。如果编译器具有一个大于 90 % 的精度，那么可用编译器提示替代动态预测器。所以，当一个分支很可能是“被采纳”时，可使用两个解码位，而不管 BPT 动态预测器表示的是是什么，因为编译器具有很好的把握，表明一个分支将被采纳。

当遇到一个“静态不采纳”分支时，通常指令流没有改变。所以，不需在 BPT 中缓存该分支。当一条指令中的解码的信息表明有一个可能被采纳或可能不被采纳的预测，那么编译器不是非常肯定该分支应该被采纳还是不被采纳。在这种情况下，使用 BPT140 来动态预测分支的行为。动态预测利用记录在 BPT 中的一个分支的历史寄存器，来预测即将发生的分支的结果。如果实现这里所描述的本发明实施方案的微处理器具有 BPT 预测 - 即可采用的动态预测，则可利用 BPT 预测来确定一个分支是被采纳还是不被采纳。如果 BPT 预测是不可用的，或者微处理器无视 BPT 的预测，那么微处理器可能使用两位编译器提示的采纳/不采纳字段来确定一个分支应该被采纳还是不被采纳。在本发明的一个实施方案中，这两个解码位是一个 41 位指令的一部分，通过编译器写入指令，但是本发明并不限于 41 位的指令。一条指令的长度是这样的：在每条指令中，至少有两位用于解码编译器提示。

通常，存储在 BPT 中的分支是可能引起指令流变化的分支。典型地，这些分支既缓存在 BPT 中，也缓存在 TAC 中。在一个后面描述的分配过程之后，在 BPT 中失误的分支被缺省预测为不采纳，直到根据解码指令使得编译器预测提示可用。与“静态不采纳”分支指令不同，“动态不采纳”分支指令更可能迟早在某点上被采纳。所以关于“动态采纳”或“动态不采纳”分支的信息被存入 BPT。

对于顺序条件分支，可以在 TAC 中插入目标地址，而不是插入到 BPT 中。对于很可能被采纳的分支，如一个“静态采纳”分支，不管分支的历史纪录是否在 BPT 中，或者 BPT 中不是该分支的历史纪录，只要目标地址在 TAC 中，预测不采用该历史纪录。在本发明的微处理器实施方案中，当一个地址在 TAC 中选中而在 BPT 中为失误时，该分支被自动预测为采纳，具有 TAC 选中记录的目标地址。但是，具有“静

态采纳”提示的 CALL 和 RETURN 指令被写入到 BPT 中，因为这两种分支类型可能影响返回堆栈缓冲器 (BSB) 124。所以 CALL 和 RETURN 指令可以被写入到 BPT140，这样 BPT140 可以在分支被解码之前提供 CALL/RETURN 类型。

5 图 2 显示了一个分支预测表 (BPT) 200 的梗概。对于每一个分支指令，BPT200 具有一个分支条目 260。分支条目 260 包括几个字段，包括一个有效位字段 240、一个强预测/无条件 (SP/U) 字段 242、一个预测字段 244、一个分支类型字段 (CALL/RETURN/REGULAR) 261 和一个历史寄存器字段 246。在一个实施方案中，每个 SP/U 和预测字段 242 及 244 分别包括一个位，而历史寄存器 246 包含 4 个位。应当清楚，上面所提的字段在长度上不限于特定的位数，而是可以采用不同的位数来实现。后面，SP/U 和预测字段 242 及 244 将被称为“SP/U 位 242”和“预测位 244”。有效位 240 表示记录 260 中的分支是否有效。SP/U 位 242 表示一个分支是有条件的还是无条件的，或者一个分支是否强预测的。一个顺序条件分支包括无返回和无调用的分支类型。通常，对于一个条件分支，根据执行的历史，可以及时改变预测。

15 预测位 244 和历史寄存器 246 被连接到一个预测更新逻辑电路 248。预测更新逻辑电路 248 被连接到模式历史表 250。预测更新逻辑电路 248 可以实现二级预测算法，如“Tse - Yu Yeh 二级预测算法”。关于算法的更多的信息，参见“1992 年 5 月，国际计算机结构研讨会论文集第 124 - 134 页，T - Y Yeh 和 Y. N. Patt 的“二级适用分支预测的实现方法””。

25 通常，通过预测更新逻辑电路 248 来更新预测位 244 和历史寄存器 246。但是，对于一个无条件分支或静态采纳和静态不采纳分支，预测是不会更改的 - 预测始终为采纳或不采纳。为了避免在这些情况下更改预测，配置 SP/U 位 242，来防止通过预测更新逻辑电路 248 更新预测位 244 和历史纪录 246。

30 SP/U 位 242 通过一个转换器 262 连接到分别用来控制向预测位 244 和历史纪录 246 写入的三态缓冲器 270 和 272。当设置 SP/U 位 242 时，放置预测更新逻辑电路 248 更新预测位 244 和历史寄存器 246，因为三态缓冲器 270 和 272 是有三种状态的。转换器 262 根据 SP/U 位 242 转换逻辑信号，产生一个逻辑“0”，启用三态缓冲器 270 和 272。一

旦 SP/U 位 242 被置位，那么用计算机提示记录 247 的第二字段 (T/N) 280 写入预测字段 244 的预测位。但是，当 SP/U 位 242 没有断定为“0”时，三态缓冲器 270 和 272 允许根据上面提到的二级预测算法，通过预测更新逻辑电路 248 来更新预测位 244 和历史纪录 246。

5 在依照本发明的微处理器的实施方案中，当一个分支是“静态采纳”时，历史纪录被设置位“1111”。当历史寄存器的所有的位都被设置为“1”时，一个分支被预测为采纳。当历史寄存器内容为“1111”时，模式历史表 250 具有记录 290，相当于“1111”硬接线到“1”，来表示被采纳。这说明一个分支总是被采纳的。当一个分支时“静态不采纳”时，历史寄存器被设置为“0000”。当历史寄存器内容为“0000”时，模式历史表具有记录 292，相当于记录“0000”硬接线到“0”，表示“不采纳”。与模式历史表 250 中的记录了解执行历史并依此修改预测的情况相比，把记录“0000”和“1111”分别硬接线到“0”和“1”，表示不改变预测。

15 所以，对于“静态采纳”分支，置位 SP/U 位 242，只要该分支还存在于 BPT 中，历史寄存器就会维持初始的值“1111”。对于“静态不采纳”分支，置位 SP/U 位 242，历史寄存器维持为初始值“0000”。如果编译器提示表示有一个“动态采纳”或“动态不采纳”预测，则 SP/U 位 242 被清除，利用预测位 244 采用顺序动态预测，利用预测更新 248 更新分支历史寄存器 246。

25 图 3 说明与依照本发明的一个实施方案的分配一个分支的过程相关的流程图。该过程起始于模块 301，由此进入到决策模块 302。在决策模块 302 中，根据编译器提示，既两个解码位，来确定一个分支是否是静态的。如果分支不是静态的，而是动态的，在过程进入到模块 304。在模块 304 中，BPT 和 TAC 被更新。通常更新包括将一个上次使用的目标地址写入到 TAC 中，将分支信息写入到 BPT 中。SP/U 位 242 被设置为“0”，允许预测逻辑更新电路更新历史纪录和预测位。此后开始使用动态预测。如果分支被预测为采纳，则历史纪录被初始化为 1111（或者某种可能产生采纳预测的模式）。如果分支被预测为不采纳，则历史纪录被初始化为 0000（或者某种可能产生不采纳预测的模式）。

但是，如果在决策模块 302 中，确定分支是静态的，则过程从决

策模块 302 转入决策模块 306，于此确定该分支是“采纳”还是“不采纳”。如果分支是“不采纳”，即该分支为“静态不采纳”，那么过程进入到模块 308。没有进入 BPT 的分配。当一个分支被提示为强不采纳，那么该分支的信息不被插入到预测表中，因为缺省分支预测已经是“不采纳”了。但是，如果分支被采纳，过程进入到决策模块 301，其中确定分支是“CALL”还是“RETURN”类型。如果该分支不属于“CALL”或“RETURN”类型，则过程进入到模块 311，其中 TAC 被更新。这样以便当一个分支非常可能被采纳时，如“静态采纳”的情况，不需浪费 BPT 的空间来存储历史纪录。

如果分支是 CALL 或 RETURN 类型，过程转入决策模块 313，其中确定该分支是否是一个 CALL 类型。如果分支是 CALL 类型，则过程转入到模块 312，其中 BPT 和 TAC 都被更新。历史寄存器信息被初始化为“1111”，SP/U 位 242 被设置为 1。更新 BPT，根据分支类型如 CALL、RETURN 和一般类型，来记录信息。分支类型信息被用于更新其它的分支预测结构。例如，在预测之后，可以用“类型”信息更新返回堆栈缓冲器（RSB）。如果是一个“CALL”类型，返回地址被压入 RSB。如果是“RETURN”类型，弹出栈顶数据。

但是，如果在决策模块 313 中，确定了模块是一个 RETURN 类型，那么过程进入到模块 314，其中进行与模块 312 相同的操作，但有一个例外。TAC 不被更新，因为采用 RSB 替代 TAC 来预测 RETURN 地址。

在上面的详细描述中，参考特定的实施方案对本发明进行了阐述。但很显然，如权利要求中所提出的，在不背离本发明的初衷和范围的前提下，可以对本发明进行不同的修正和改动。相应地，其中的规范和附图，是用来说明本发明但并不局限于此。

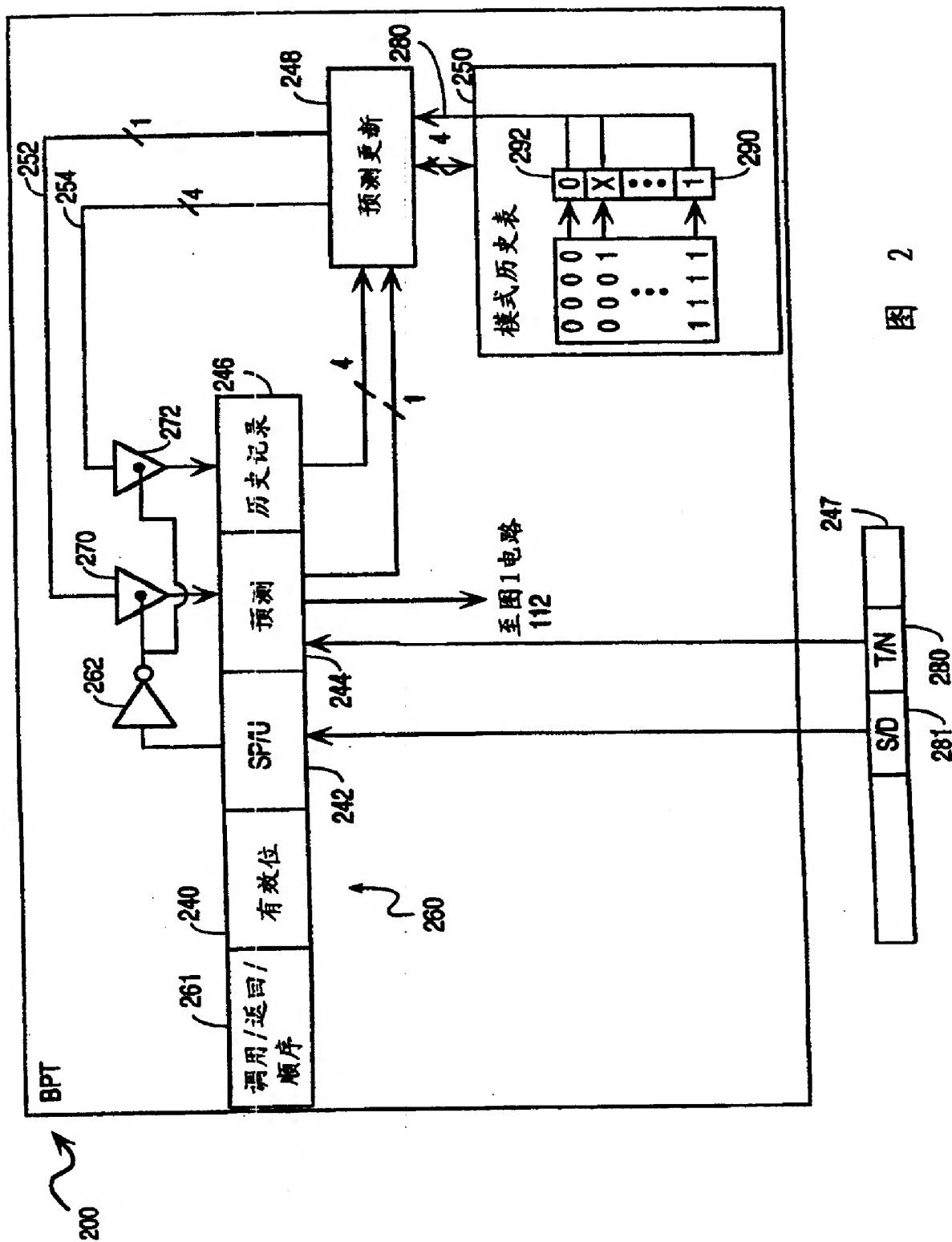


图 2

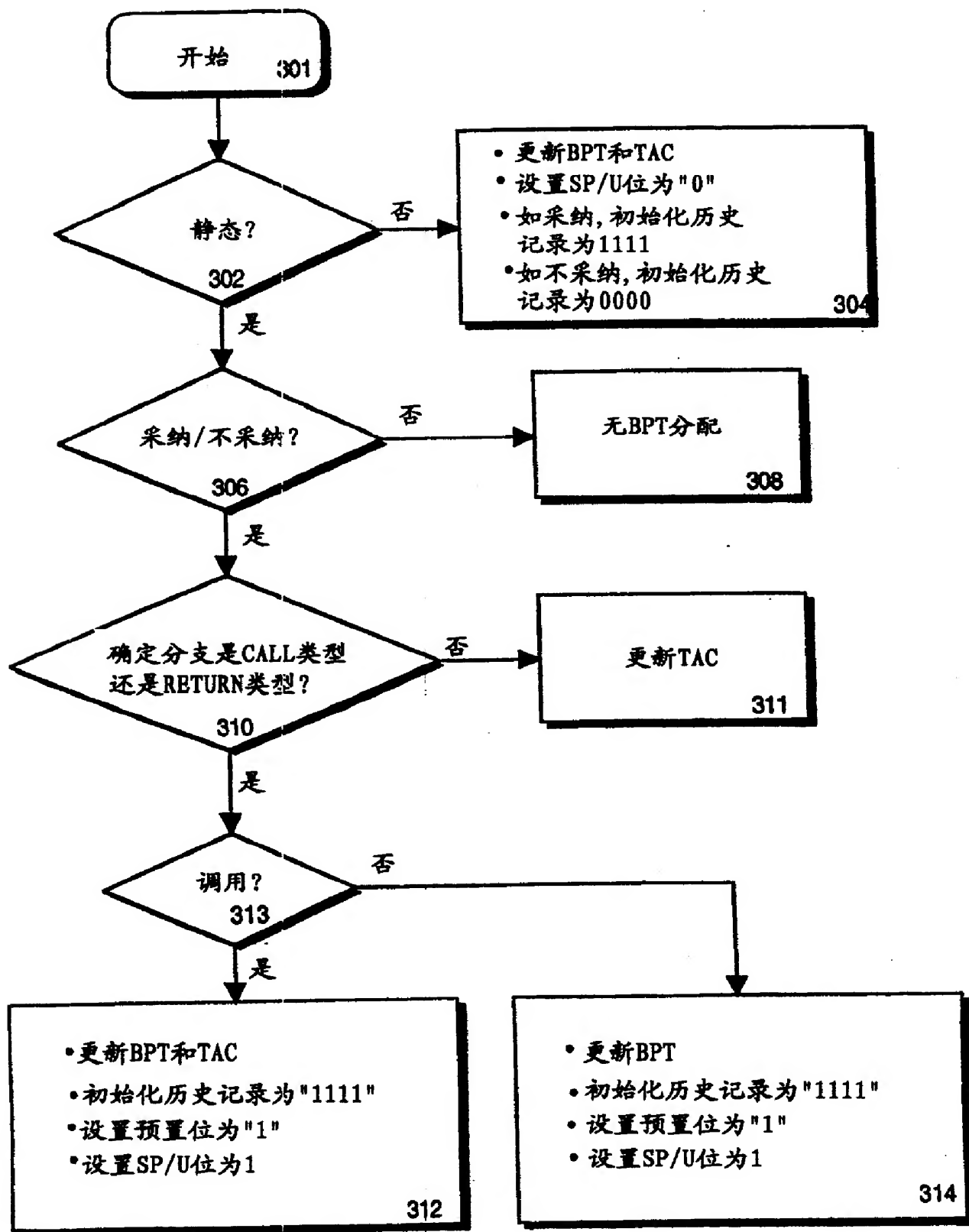


图 3